

CLIPPEDIMAGE= JP404062866A

PAT-NO: JP404062866A

DOCUMENT-IDENTIFIER: JP 04062866 A

TITLE: MOUNTING METHOD FOR SURFACE MOUNTING COMPONENT

PUBN-DATE: February 27, 1992

INVENTOR-INFORMATION:

NAME

YAMASHITA, SHIRO

ASSIGNEE-INFORMATION:

NAME

SEIKO EPSON CORP

COUNTRY

N/A

APPL-NO: JP02166108

APPL-DATE: June 25, 1990

INT-CL (IPC): H01L025/00;H01L023/52 ;H05K001/18 ;H05K003/34

US-CL-CURRENT: 257/686

ABSTRACT:

PURPOSE: To improve component mounting density by providing a support between a semiconductor integrated circuit substrate and a mounting circuit substrate, making a space just below the semiconductor integrated circuit substrate and arranging other electronic components in the space.

CONSTITUTION: On a semiconductor integrated circuit substrate 101, Al pads 105-109 and 110 are formed. On a mounting circuit substrate 104, conducting patterns 111-119 are formed. Parts 120 and 121 are through holes and are connected with the conducting patterns on the back. Electrodes 124 and 125 are formed on a chip resistance 102 and are connected with conducting patterns 118,

119 and 117 on the mounting circuit substrate 104 by solder layer 126, 127 and 128 with a spacer 103. Then, the semiconductor integrated circuit substrate 104 is bonded with the spacer by conductive epoxy adhesive 129. Aluminum pads 106 and 109 are connected with the conducting patterns 112 and 113 by Au lines 122 and 123.

COPYRIGHT: (C)1992,JPO&Japio

⑫公開特許公報(A)

平4-62866

⑬Int.Cl.⁵

H 01 L 25/00
23/52
H 05 K 1/18
// H 05 K 3/34

識別記号

府内整理番号

B 7638-4M

S 6736-4E

⑭公開 平成4年(1992)2月27日

6918-4M H 01 L 23/52

C

審査請求 未請求 請求項の数 2 (全4頁)

⑮発明の名称 表面実装部品の実装方法

⑯特 願 平2-166108

⑰出 願 平2(1990)6月25日

⑱発明者 山下士郎 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

⑲出願人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号
会社

⑳代理人 弁理士 鈴木喜三郎 外1名

明細書

【産業上の利用分野】

1. 発明の名称

表面実装部品の実装方法

2. 特許請求の範囲

1.) 複数の電子回路素子を有する半導体集積回路基板と、該半導体集積回路基板を含む電子部品を搭載するための実装回路基板と、該半導体集積回路基板を該実装回路基板に固定するための支持物を有し、該支持物は該半導体集積回路基板の一部と接触し、該実装回路基板上でありかつ該半導体集積回路基板の真下にあたる部分において、該支持物が存在しない場所に他の電子部品を配置することを特徴とする表面実装部品の実装方法。

2.) 該支持物が導電体であり、該半導体集積回路基板と実装回路基板を電気的に接続することを特徴とする請求項1記載の表面実装部品の実装方法。

3. 発明の詳細な説明

複数の半導体素子を有する半導体集積回路基板と、その他の表面実装部品を搭載可能な実装回路基板に実装する手段に関する。特に、半導体集積回路基板を直接実装基板に実装するCOB(Chip On Board)技術に関する。

【従来の技術】

電子機器の軽薄短小化にともない、実装回路基板への電子部品の実装密度は高まる一方である。また、半導体製造技術の進歩により、一つの半導体基板上に数万素子の半導体素子を集積化することが可能になり、チップ寸法も大きくなってきた。これに比べ、個別電子部品は実装密度を高めるためにより小さいものが要求されてきている。

第2図に従来技術による実装図を示す。半導体集積回路基板201は、導電性エポキシ接着剤202によって実装回路基板204上の導電パターン203と電気的に接続されている。半導体集積回路基板201上のアルミパッド207及び208と実装回路基板204上の導電パターン205

及び 210 は、Au 線 206 及び 209 をそれぞれワイヤボンディングすることによって接続されている。

〔発明が解決しようとする課題〕

しかし、前述の従来技術では、半導体集積回路基板 201 の下面の実装回路基板 204 上のスペースが活用されずスペース活用率が低いという課題を有する。そこで本発明は、このような課題を解決するもので、その目的とするところは、実装回路基板の電子部品の実装密度を高めることでできる表面実装部品の実装方法を提供するところにある。

〔課題を解決するための手段〕

本発明の表面実装部品の実装方法は、半導体集積回路基板と実装回路基板の間に支持物を設け、半導体集積回路基板の真下に空間をつくり、その場所に他の電子部品を配置することにより部品実装密度をさらに高めることを特徴とする。

〔実施例〕

第1図に本発明の一実施例を示す。第1図(a)

- 3 -

112、113 に、Au 線 122 及び 123 によってそれぞれ接続される。

このような構造にすれば、半導体集積回路基板の真下の実装回路基板表面にその他の電子回路部品を実装することができ、限られた実装回路基板上のスペースを有効に利用することができる。また、スペーサ 103 を導電体にすることで半導体集積回路基板 101 の裏面を実装回路基板 104 上の導電パターン 117 と電気的に接続することができ、半導体集積回路基板上の各半導体素子の電気的分離をより確実にすることが可能である。

第1図はスルーホールによって半導体集積回路基板の真下の電子回路部品の配線を行なったが、コストダウンを考慮してスルーホール無の実装回路基板にした場合においても、実施が可能である。第3図にその実施例を示す。第3図(a)は組立図であり、第3図(b)は要部断面図(第3図(a)の A-A')である。第3図は第1図の各部品と対応している(たとえば、半導体集積回路基板は第1図においては 101、第3図において

は本発明を使用した実装回路基板の組立図である。

第1図(b)は要部断面図(第1図(a)の A-A')である。

半導体集積回路基板 101 上には、A' パッド 105、106、107、108、109 及び 110 が形成されている。102 はチップ抵抗、103 はアルミで形成したスペーサである。実装回路基板 104 上には導電バターン 111、112、113、114、115、116、117、118、119 が形成されている。120、121 はスルーホールであり、裏面の導電バターンと接続されている。

チップ抵抗 102 には電極部 124、125 が形成されており、スペーサ 103 とともににはんだ層 126、127 及び 128 によって実装回路基板 104 上の導電バターン 118、119 及び 117 に、それぞれ接続される。

半導体集積回路基板 104 はその後導電性エポキシ系接着剤 129 によってスペーサと接着される。アルミパッド 106、109 は導電バターン

- 4 -

は 301 である)。スペーサ 303 の一部を削除して、チップ抵抗 302 からの導電バターン 318、319 を通している。

〔発明の効果〕

本発明によれば、従来使用できなかった半導体集積回路基板の真下の実装回路基板上に他の電子回路部品を配置できる。このため実装密度の向上が期待できる。さらにスペーサを導電体にすることにより、半導体集積回路基板の裏面を実装回路基板上の導電バターンと電気的に接続でき、安定な電位に固定できる。

4. 図面の簡単な説明

第1図(a)及び(b)は本発明の一実施例を示す組立図及び断面図。第2図は従来の実施例を示す断面図。第3図(a)、(b)は本発明の他の実施例を示す組立図及び断面図。

101、201、……半導体集積回路
基板

- 5 -

301、102、302 チップ抵抗
 103、303 スペーサ
 104、204 実装回路基板
 304、105、106、107、108、
 109、110、207、208、305、
 306、307、308、309、310
 アルミパッド
 111、112、113、114、115、
 116、117、118、119、203、
 205、210 導電パターン
 311、312、313、314、315、
 316、317、318、319
 アルミパッド
 120、121 スルーホール
 122、123、206、209、322、
 323 Au線
 124、125、324、325
 チップ抵抗の根

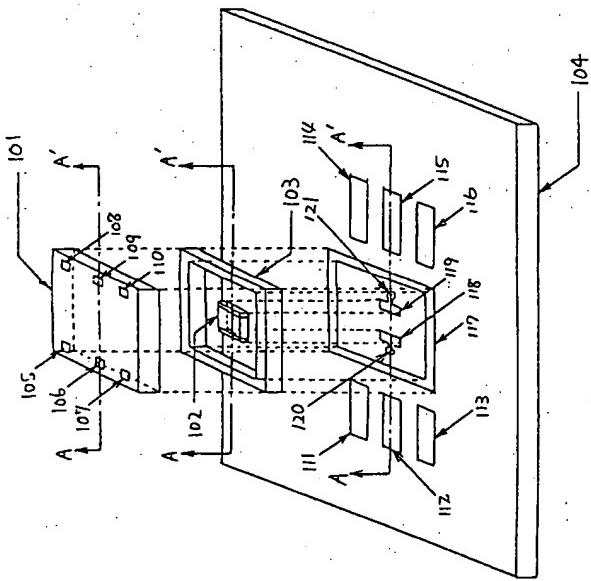
328 はんだ剤
129、202、329 塗電性エポキシ
接着剤

出願人 セイコーエプソン株式会社
代理人 弁理士 鈴木 喜三郎(他1名)

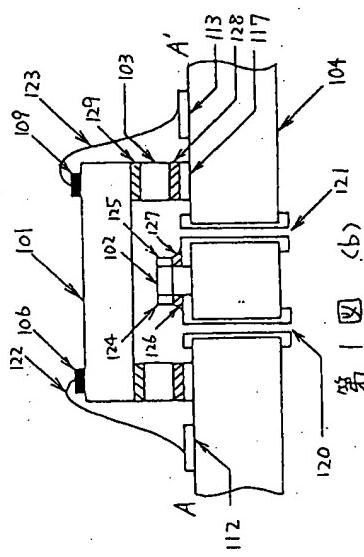
126, 127, 128, 326, 327,

- 7 -

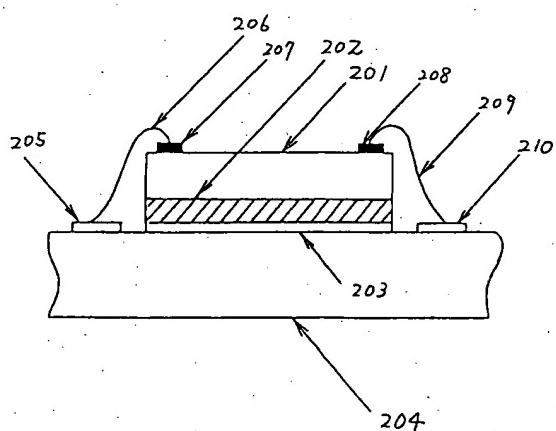
- 8 -



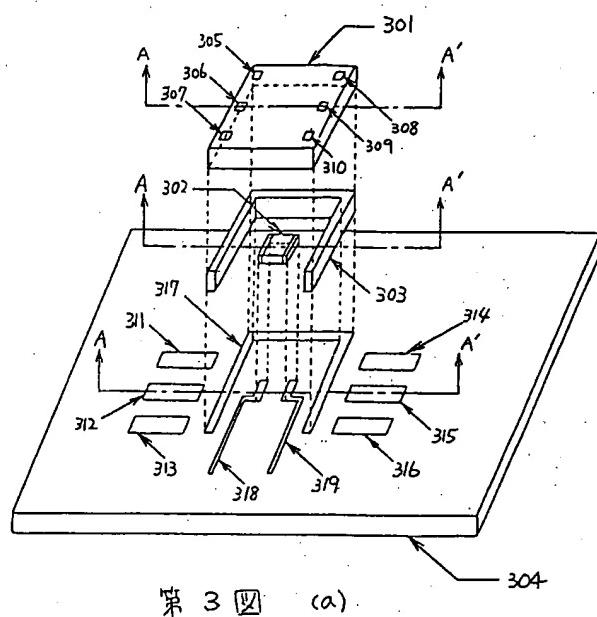
四 (a)



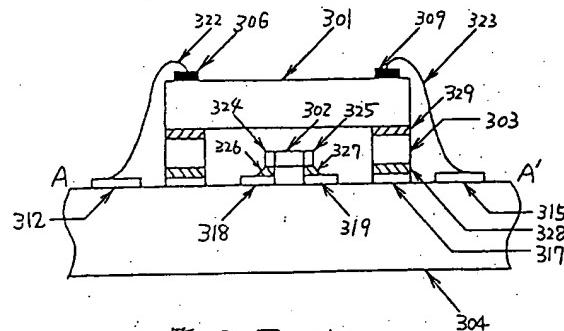
卷之三



第 2 図



第 3 図 (a)



第 3 図 (b)